

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**



⑯ BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENTAMT

⑯ Übersetzung der
europäischen Patentschrift
⑯ EP 0 304 791 B1
⑯ DE 38 54 706 T 2

⑯ Int. Cl. 6:
H 03 L 7/08

DE 38 54 706 T 2

⑯ Deutsches Aktenzeichen: 38 54 706.6
⑯ Europäisches Aktenzeichen: 88 113 355.7
⑯ Europäischer Anmeldetag: 17. 8. 88
⑯ Erstveröffentlichung durch das EPA: 1. 3. 89
⑯ Veröffentlichungstag
der Patenterteilung beim EPA: 22. 11. 95
⑯ Veröffentlichungstag im Patentblatt: 11. 7. 96

⑯ Unionspriorität: ⑯ ⑯ ⑯
17.08.87 JP 204715/87

⑯ Patentinhaber:
NEC Corp., Tokio/Tokyo, JP

⑯ Vertreter:
Glawe, Delfs, Moll & Partner, Patentanwälte, 80538
München

⑯ Benannte Vertragstaaten:
DE, FR, GB

⑯ Erfinder:
Tateishi, Hisao, Minato-ku Tokyo, JP

⑯ Phasenregelschleife mit verlängerter Lade- und Entlade-Zeit.

Anmerkung: Innerhalb von neun Monaten nach der Bekanntmachung des Hinweises auf die Erteilung des europäischen Patents kann jedermann beim Europäischen Patentamt gegen das erteilte europäische Patent Einspruch einlegen. Der Einspruch ist schriftlich einzureichen und zu begründen. Er gilt erst als eingelebt, wenn die Einspruchsgebühr entrichtet worden ist (Art. 99 (1) Europäisches Patentübereinkommen).

Die Übersetzung ist gemäß Artikel II § 3 Abs. 1 IntPatÜG 1991 vom Patentinhaber eingereicht worden. Sie wurde vom Deutschen Patentamt inhaltlich nicht geprüft.

DE 38 54 706 T 2

Phasenregelschleife mit verlängerter Lade- und Entladezeit

Hintergrund der Erfindung

Erfindungsgebiet

Die vorliegende Erfindung betrifft eine Phasenregelschleifenschaltung und insbesondere eine Phasenregelschleifenschaltung zur Verwendung zum Datenlesen von Magnetplattenvorrichtungen, wie beispielsweise Floppydisk-Vorrichtungen und Festplatten-Vorrichtungen.

Beschreibung des Standes der Technik.

Bis jetzt wurden Phasenregelschleifenschaltungen in großem Umfang für Leseschaltungen für Magnetplattenvorrichtungen, wie beispielsweise Floppydisk-Vorrichtungen und Festplatten-Vorrichtungen verwendet. Herkömmliche Phasenregelschleifenschaltungen waren zusammengesetzt aus einem Einzelimpuls-Multivibrator, der ein Lesedatensignal zum Erzeugen eines Einzelimpulssignals synchron mit einer ansteigenden Flanke oder abfallenden Flanke des Lesesignals, empfängt. Das Lesesignal wird auch zum Setzen eines Rücksetz-Setz-Flip-Flops geliefert, das durch einen Ausgang eines Frequenzteilers rückgesetzt wird. Das Einzelimpulssignal und ein Ausgang des Flip-Flops werden in einem Phasendetektor phasenverglichen, der seinerseits ein Aufladesignal oder ein Herunterladesignal an eine Ladepumpe erzeugt. Ein Ausgang der Ladepumpe ist über ein Tiefpaßfilter an einen spannungsgesteuerten Oszillatator angeschlossen, dessen Ausgang an den Frequenzteiler angeschlossen ist. Hiermit ist die Phasenregelschleife vervollständigt.

Für den Fall, daß die vorstehend beschriebene Phasenschleifenschaltung in einer Datenleseschaltung für eine Floppy-disk-Vorrichtung eingebaut ist, die selektiv verschiedene Datentransfergeschwindigkeiten einnehmen kann, wird das Frequenzteilungsverhältnis des Frequenzteilers selektiv eingestellt auf unterschiedliche Werte, die den verschiedenen Datentransfergeschwindigkeiten entsprechen, und gleichzeitig wird der Einzelimpuls-Multivibrator ebenfalls so eingestellt, daß die Impulsbreite jedes Einzelimpulses in Übereinstimmung mit den Datentransfergeschwindigkeiten eingestellt werden kann.

Unter dem vorstehend erwähnten Umstand hat die herkömmliche Schaltung, wenn die Phasenregelschleifenschaltung mit einer relativ niedrigen Datentransfergeschwindigkeit operiert, den Nachteil gezeigt, daß die Lesepräzision infolge eines Phasenfehlers verschlechtert wird, der einem Quantisierungsfehler (ein Takt) zuzuordnen ist, der in einem Digitalzähler erzeugt wird. Um herkömmlicherweise die Verschlechterung der Lesepräzision zu verhindern, wurde ein Multivibrator verwendet, dessen Ausgangsbreite durch eine externe Widerstands- oder Kondensator-Schaltung eingestellt werden kann.

Zusätzlich kann die Änderung des Frequenzteilungsverhältnisses nicht den unterschiedlich hohen Datentransfergeschwindigkeiten von 1 Mbps oder mehr folgen, und daher müssen die herkömmlichen Phasenregelschleifenschaltungen einen Einzelimpulsmultivibrator für jede der gesamten Datentransfergeschwindigkeiten enthalten, um einer Anzahl von hohen Datentransfergeschwindigkeiten folgen zu können, und demgemäß sind eine entsprechende Anzahl von Sätzen externer Widerstände und Kondensatoren vorzusehen.

Weiterhin hat in der Nähe der Nullphasendifferenz das Aufladesignal und das Herunterladesignal des Phasendetektors

eine sehr enge Impulsbreite. Ein sehr enges Impulssignal kann jedoch verschwinden, während es über die Ladungspumpe übertragen wird, wenn das Signaltransfersystem keine ausreichende Übertragungsenergie hat. Infolgedessen besteht ein Bereich, in welchem die Phasendifferenz ersichtlich detektiert werden kann, und daher erscheint, nachdem die Phasenregelschleifenschaltung geregelt ist, in der Oszillationsfrequenz des spannungsgesteuerten Oszillators ein Zittern, was dazu führt, daß die Schaltung unstabil wird.

In der EP-A-0054322 ist ein phasenempfindlicher Detektor offenbart, der zwei D-Typ-Flip-Flops aufweist, die so angeordnet sind, daß sie, ansprechend auf die Datenimpulse und Taktimpulse eine entsprechende erste und zweite Impulsssequenz erzeugen. Ein Exklusiv-ODER-Gate empfängt die erste und zweite Impulsfrequenz und ein zweites Exklusiv-ODER-Gate empfängt die erste Impulsssequenz und die Datenimpulse. Auf diese Weise erzeugt der Detektor zwei Phasendifferenzsignale, die - über Stromquellen - fortlaufend und in Abhängigkeit von der Phasendifferenz einen Kondensator laden und entladen.

Diese Zweiphasen-Differenzsignale sind so, daß der erste bei der ansteigenden Flanke des Datensignals startet und an einer der ansteigenden oder fallenden Flanken des Taktsignals endet, während der zweite eine konstante Impulsbreite in einer Intervallperiode zwischen jedem Paar benachbarter erster Phasendifferenzsignale ohne wesentliche Überlappung mit dem ersten Signal hat.

Ungeachtet dessen ist nicht offenbart, daß dieser Phasendetektor ein Teil einer Phasenregelschleifenschaltung (PLL-Schaltung) ist, und wenn dieser Detektor in einer solchen PLL-Schaltung zur Verwendung von beispielsweise in einer Floppydisk-Antriebsvorrichtung eingebaut wäre, würde dieser Detektor nicht korrekt arbeiten, da die aktive Impulsbreite

der Signale (Lesedaten), die von der Floppydisk-Antriebsvorrichtung der PLL-Schaltung zugeführt werden, von Hersteller zu Hersteller der Floppydisk-Antriebsvorrichtungen ziemlich variieren.

Dieser Nachteil auftritt, auf da das Datensignal sowohl einem Eingang eines D-Typ-Flip-Flops als auch einem Eingang eines Exklusiv-ODER-Gate zugeführt wird, wobei die Ausgänge der zwei D-Typ-Flip-Flops den Eingängen der zwei Exklusiv-ODER-Gates zugeführt werden, und als eine Konsequenz das zweite Phasendifferenzsignal nicht unabhängig von dem momentanen Status des Eingangssignals gesetzt und rückgesetzt wird.

Zusammenfassung der Erfindung

Demgemäß ist es ein Ziel der vorliegenden Erfindung, eine Phasenregelschleifenschaltung zu schaffen, bei der die vorstehend beschriebenen Nachteile der herkömmlichen Schaltung überwunden sind.

Ein weiteres Ziel der vorliegenden Erfindung ist es, eine Phasenregelschleifenschaltung zu schaffen, die einer Vielzahl von hohen Datentransfergeschwindigkeiten im wesentlichen ohne zusätzliche Schaltung folgen kann.

Ein weiteres Ziel der vorliegenden Erfindung ist es, eine Phasenregelschleifenschaltung zu schaffen, die keinen Einzelimpuls-Multivibrator hat, und einer Vielzahl von hohen Datentransfergeschwindigkeiten nur dadurch folgen kann, daß das Frequenzteilungsverhältnis eines Frequenzteilers geändert wird.

Ein weiteres Ziel der vorliegenden Erfindung ist es, eine Phasenregelschleifenschaltung zu schaffen, die ein Aufladesignal und ein Herunterladesignal selbst zu dem Zeitpunkt erzeugt, wo keine Phasendifferenz vorhanden ist, um jede

Phasendifferenz in der Nähe der Nicht-Phasendifferenz einstellen zu können.

Ein weiteres Ziel der vorliegenden Erfindung ist es, eine Phasenregelschleifenschaltung zu schaffen, bei der ein Bereich eliminiert werden kann, in welchem eine Phasendifferenz infolge einer ungenügenden Übertragungsenergie eines Signalübertragungsenergiesystems nicht sichtbar detektiert werden kann, sodaß ein Flackern der Oszillationsfrequenz verringert wird.

Diese und andere Ziele der vorliegenden Erfindung werden durch eine Phasenregelschleifenschaltung gemäß dem Patentanspruch 1 erzielt. Die weiteren Ansprüche beziehen sich auf unterschiedliche Ausführungsformen der vorliegenden Erfindung.

Die vorstehenden und andere Ziele, Merkmale und Vorteile der vorliegenden Erfindung gehen aus der folgenden Beschreibung der bevorzugten Ausführungsformen anhand der begleitenden Figuren hervor.

Kurze Beschreibung der Figuren. Es zeigt:

Fig. 1 ein Blockschaltbild einer typischen herkömmlichen Phasenregelschleifenschaltung;

Fig. 2 einen Zeitplan zur Erläuterung eines Betriebes der in der Fig. 1 gezeigten Phasenregelschleifenschaltung;

Fig. 3 ein Blockschaltbild einer Ausführungsform einer Phasenregelschleifenschaltung, die die vorliegende Erfindung aufweist;

Fig. 4 ein Schaltungsdiagramm einer Ausführungsform des Phasendetektors und der Ladungspumpe, die in der in der Fig. 3 gezeigten Phasenregelschleifenschaltung verwendet werden;

Fig. 5 die Charakteristika einer Phasendifferenzdetektion, die in der in der Fig. 3 gezeigten Schaltung realisiert worden ist;

Fig. 6 einen Zeitplan zur Erläuterung eines Betriebes der Ausführungsform der Phasenregelschleifenschaltung gemäß Fig. 3 und 4;

Fig. 7 ein Schaltungsdiagramm eines gesteuerten Oszillators, der in der in der Fig. 3 gezeigten Phasenregelschleifenschaltung verwendet wird; und

Fig. 8 ein Schaltungsdiagramm einer anderen Ausführungsform des Phasendetektors und der Ladungspumpe, die in der in der Fig. 3 gezeigten Phasenregelschleifenschaltung verwendet werden.

Beschreibung der bevorzugten Ausführungsformen
Bezugnehmend auf Fig. 1 zeigt diese ein Blockschaltbild einer herkömmlichen Phasenregelschleifenschaltung, die für ein Datenlesen einer Magnetplattenvorrichtung verwendet wird. Die gezeigte Schaltung hat einen Einzelimpuls-Multivibrator (im Folgenden MLT bezeichnet) 10, dessen Eingang an einen Eingangsanschluß 12 zum Empfangen eines Herauslesedatensignals angeschlossen ist. Der MLT 10 wird durch eine ansteigende Flanke des Herauslesedatensignals getriggert, um ein Impulssignal zu erzeugen, das eine Impulsbreite von 1/4 eines Mindesteingangsdatenintervalls T_0 hat. Der Eingangsanschluß 12 ist an einen Setzeingang S eines Rücksetz-Setz-Flip-Flops (im Nachfolgenden RS-FF bezeichnet) 14 angeschlossen. Ein Ausgang des MLT 10 und ein Q-Ausgang des RS-FF 14 sind an einen Phasendetektor 16 angeschlossen, der seinerseits so arbeitet, daß er eine Phasendifferenz zwischen einer ansteigenden Flanke des Impulssignals, das am MLT 10 ausgegeben worden ist, und einem Signal, das am Q-Ausgang des RS-FF 14 ausgegeben worden ist, detektiert und dann ein Ladesignal oder ein Entladesignal in Übereinstimmung mit der detektierten Phasendifferenz und seines Vorzeichens oder seiner Polarität erzeugt. Der Pha-

sendetektor 16 kann beispielsweise aus einem PC 1008C der Firma NEC-Corporation, Japan, gebildet sein, oder aus einem MC 404 der Firma Motorola, Inc. USA, gebildet sein. Das Ladesignal und das Entladesignal werden einer sog. Ladungspumpe 18 eingegeben, deren Ausgang über ein Niederpaßfilter 20 an einen spannungsgesteuerten Oszillator (im Folgenden VCO bezeichnet) 22 angeschlossen ist. Ein Ausgang des VCO 22 ist an einen Frequenzteiler 24 vom Frequenzteilungsverhältnis-einstellbaren Typ angeschlossen. Ein Ausgang des Frequenzteilers 24 ist an einen Rücksetzeingang R des RS-FF 14 angeschlossen. Als Ganzes arbeitet die gezeigte Schaltung so, daß sie einer Phase des Herauslesedatensignals folgt, das über den Eingang des Anschluß 12 eingegeben worden ist.

Nun wird der Betrieb der in der Fig. 1 gezeigten Schaltung anhand eines in der Fig. 2 gezeigten Zeitplans erläutert.

Der VCO 22 ist so eingestellt, daß er eine mittlere Frequenz f_{osc} wie im folgenden definiert hat

$$f_{osc} = (4/T_0)$$

wobei T_0 eine Mindestdatentransfertgeschwindigkeit des Eingangsdatensignals ist.

Zusätzlich ist der Frequenzteiler 24 auf ein Frequenzteilungsverhältnis von 1/2 eingestellt.

Wie in der Fig. 2 gezeigt, steigt an der Anstiegsflanke eines Eingangsdatensignals, das über den Eingangsanschluß 12 zugeführt wird, das Ausgangssignal am MLT 10 von einem niederen Pegel auf einen hohen Pegel, und das RS-FF 14 hebt seinen Q-Ausgang ebenfalls von einem niederen Pegel auf einen hohen Pegel. Dann hält der MLT 10 seinen hohen Pegel nur für eine Zeitspanne $T_0/4$ und das RS-FF 14 wird seinen

Q-Ausgang an einer Anstiegsflanke eines Oszillationssignals des VCO 22, welches auf ein Oszillationssignal folgt, das den Anstieg bewirkt hat, auf den niederen Pegel senken oder dies direkt nach oder direkt vor dem Anstieg des Eingangsdatensignals, welches über den Eingangsanschluß 12 zugeführt worden ist, durchführen. Der Phasendetektor 16, der beispielsweise ein NEC-PC-1008C oder ein Motorola-MC-4044 ist, detektiert zwischen der abfallenden Flanke des Ausgangs am MLT 10 und der fallenden Flanke des Q-Ausgangs des RS-FF 15 eine Phasendifferenz unter Verwendung der abfallenden Flanke des Ausgangs des MLT 10 als ein Referenzsignal. Der Phasendetektor 16 erzeugt auch ein Auf-Signal und ein Ab-Signal in Übereinstimmung mit der detektierten Phasendifferenz. In Abhängigkeit von dem Auf-Signal oder dem Ab-Signal bringt die Ladungspumpe 18 ihren Ausgang auf einen logisch hohen Pegel bzw. einen logisch niederen Pegel. Wenn weder ein Auf-Signal noch ein Ab-Signal erzeugt ist, hält die Ladungspumpe 18 ihren Ausgang in einem schwebenden Zustand.

Wenn speziell das in der Fig. 2 gezeigte Beispiel betrachtet wird, sind die ersten und zweiten Eingangsdatensignale genau in Phase und haben keine Phasendifferenz. Die ersten und zweiten Eingangsdatensignale haben nämlich ihre ansteigende Flanke übereinstimmend mit einer ansteigenden Flanke des entsprechenden Oszillationssignals des VCO 22. Daher hält die Ladungspumpe 3 ihren Ausgang in dem schwebenden Zustand, mit dem Ergebnis, daß der VCO 22 seine Oszillationsfrequenz aufrechterhält.

Ein drittes Eingangsdatensignal ist phasenverzögert, wie dies in der Fig. 2 gezeigt ist. Im Fall des dritten Eingangsdatensignals fällt das Ausgangssignal des MLT 10 bevor der Q-Ausgang des RS-FF 14 fällt, und daher erzeugt der Phasendetektor 16 ein Auf-Signal entsprechend der detektierten Phasendifferenz. Als ein Ergebnis erzeugt die La-

dungspumpe ein logisches hohes Signal mit einer Impulsbreite entsprechend der des Auf-Signals, so daß das Oszillationssignal des VCO 22 in Phase vorgerückt wird, so daß das Oszillationssignal des VCO 22 mit dem Eingangsdatensignal in Phase eingestellt ist. Andererseits sind vierte und fünfte Datensignale phasenvorlaufend. Für den Fall der vierten und fünften Eingangsdatensignale fällt der Q-Ausgang des RS-FF 14 bevor das Ausgangssignal des MLT 10 fällt, und daher erzeugt der Phasendetektor 16 das Ab-Signal entsprechend der detektierten Phasendifferenz. Als ein Ergebnis erzeugt die Ladungspumpe ein logisches niederes Signal mit einer Impulsbreite entsprechend der des Ab-Signals, so daß das Oszillationssignal des VCO 22 in Phase verzögert wird, so daß das Oszillationssignal des VCO 22 in Phase mit dem Eingangsdatensignal eingestellt ist.

Für den Fall, daß die vorstehend beschriebene Phasenregelschleifenschaltung in eine Datenlese-Schaltung für eine Floppydisk-Vorrichtung eingebaut ist, wird die Datentransfersgeschwindigkeit auf 125 Kbps, 250 Kbps bzw. 500 Kbps geändert. Um der Änderung der Datentransfersgeschwindigkeit zu folgen, wird daher das Frequenzteilungsverhältnis des Frequenzteilers 24 selektiv zwischen 8,4 bzw. 2 eingestellt, und gleichzeitig wird der MLT 10 so eingestellt, daß die Periode des logisch hohen Pegels jedes Einzelimpulses zwischen 2,0 μ s, 1,0 μ s bzw. 0,5 μ s eingestellt werden kann.

Im 250 Kbps-Modus, der eine relativ niedrige Datentransfersgeschwindigkeit ist, hat die herkömmliche Schaltung den Nachteil gezeigt, daß die Lesepräzision infolge eines Phasenfehlers verschlechtert wurde, der einem Quantisierungsfehler (1-Takt) zuzuordnen ist, welcher in einem Digitalzähler erzeugt wird. Um die Verschlechterung der Lesepräzision zu verbessern, war es daher allgemein üblich, einen I-Multivibrator zu verwenden, dessen Ausgangsbreite durch eine externe Widerstands- oder Kondensator-Schaltung einge-

stellt werden kann. Ein typisches Beispiel eines derartigen IC-Multivibrators ist der 74121-TT-LJC der Firma Texas Instruments Inc.

Für die jüngsten Floppy-Disc-Vorrichtungen mit einer hohen Datentransfergeschwindigkeit wie beispielsweise 1Mbps und 2Mbps, und die jüngsten Festplatten-Vorrichtungen mit einer hohen Datentransfergeschwindigkeit von 5Mbps oder mehr haben die herkömmlichen Phasensteuerschleifenschaltungen jedoch für jede der Datentransfergeschwindigkeiten einen Einzelimpuls-Multivibrator enthalten. Daher muß für den Fall, daß die Phasensteuerschleifenschaltung in Verbindung mit Magnetvorrichtungen mit unterschiedlich hohen Datentransfergeschwindigkeiten verwendet wird, die Phasensteuerschleifenschaltung auch eine entsprechende Anzahl von Einzelimpuls-Mutlivibratoren enthalten, und demgemäß muß eine entsprechende Anzahl von Sätzen externer Widerstände und Kondensatoren vorgesehen sein.

Zusätzlich hat in der Nähe der Nullphasendifferenz das Auf- Signal und das Ab-Signal des Phasendetektors eine sehr enge Impulsbreite. Ein Impulssignal mit einer sehr engen Impulsbreite wird jedoch verschwinden, während es durch die Ladungspumpe an einen Eingang des Niederpaßfilters übertragen wird, wenn das Signaltransfersystem keine ausreichende Übertragungsenergie hat. Infolgedessen besteht ein Bereich, in welchem eine Phasendifferenz nicht sichtbar detektiert werden kann, und daher wird nach dem Steuern der Phasensteuerschleifenschaltung bei der Oszillationsfrequenz des VCO 22 ein Flackern erscheinen, was dazu führt, daß die Schaltung unstabil wird.

Bezugnehmend auf Fig. 3 zeigt diese ein Blockschaltbild einer Ausführungsform einer Phasensteuerschleifenschaltung mit der vorliegenden Erfindung. Die gezeigte Phasensteuerschleifenschaltung hat einen gesteuerten Oszillator 30, der

ein Steuersignal empfängt, um ein Oszillationssignal mit einer Frequenz entsprechend dem empfangenen Steuersignal zu erzeugen, und ein Frequenzteiler 32 empfängt das Oszillationssignal vom gesteuerten Oszillator 30, um ein Signal zu erzeugen, das eine Frequenz hat, die gemäß einem gegebenen Frequenzteilungsverhältnis geteilt ist. Die Phasensteuerschleifenschaltung hat auch einen Eingangsanschluß 34 und einen Phasendetektor 36, der durch den Eingangsanschluß 34 ein Eingangssignal und das frequenzgeteilte Signal empfängt, um erste und zweite Phasendifferenzsignale zu erzeugen. Die ersten und zweiten Phasendifferenzsignale werden an einer Ladungspumpe 38 eingegeben, wo die Phasendifferenz in ein Spannungssignal umgewandelt wird, das seinerseits über ein Tiefpaßfilter 40 an den gesteuerten Oszillator 30 angelegt wird. Daher erzeugt der gesteuerte Oszillator 30 das Oszillationssignal mit einer Frequenz entsprechend dem Spannungssignal. Die Phasensteuerschleifenschaltung ist somit geschlossen.

Es wird nun auf Fig. 4 Bezug genommen, die eine spezifische Schaltung des Phasendetektors 36 und der Ladungspumpe 38 zeigt. Der Phasendetektor 36 hat ein D-Typ-Flip-Flop 50 mit einem Dateneingang D, der an einen positiven Spannungsversorgungsanschluß 70 angeschlossen ist, und einen Takteingang C, der an den Eingangsanschluß 34 zum Empfangen des Eingangsdatensignals angeschlossen ist, so daß ein Q-Ausgang des Flip-Flops in Abhängigkeit von einer Anstiegsflanke des Eingangssignals auf einen hohen logischen Pegel gebracht wird. Der Q-Ausgang des Flip-Flops 50 ist an einen Dateneingang D angeschlossen, und ein Rückstelleingang R eines anderen D-Typ-Flip-Flops 52 hat einen Takteingang C, der so geschaltet ist, daß er das Ausgangssignal des Frequenzteilers 32 über einen Inverter 54 erhält. Ein \bar{Q} -Ausgang des Flip-Flops 52 ist an einen Rückstell-Eingang \bar{R} des Flip-Flops 50 angeschlossen. Somit wird das Flip-Flop 50 bei einer fallenden Flanke des Ausgangsimpulses des Fre-

quenzteilers 32 zurückgestellt. Die Flip-Flops 50 und 52 bilden nämlich einen Flankendetektor, der an der Anstiegsflanke des Eingangssignals gesetzt und an der fallenden Flanke des Ausgangsimpulses des Frequenzteilers 32 rückgesetzt wird.

Der Q-Ausgang des flip-Flops 50 ist an einen Dateneingang D eines dritten D-Typ-Flip-Flops 56 angeschlossen, das mit einem Takt-Eingang C an den Ausgang des Inverters 54 angeschlossen ist, so daß ein Q-Ausgang des Flip-Flops 56 in Abhängigkeit von einer ansteigenden Flanke eines umgekehrten Signals des frequenzgeteilten Ausgangssignals des Frequenzteilers 32 auf einen logisch hohen Pegel gebracht wird (nämlich einer fallenden Flanke des Nicht-umgekehrten, frequenzgeteilten Ausgangssignals des Frequenzteilers 32), nachdem der Q-Ausgang des Flip-Flops 50 auf einen hohen Pegel gebracht worden ist. Der Q-Ausgang des Flip-Flops 56 ist an einen Dateneingang D und einen Rücksetzeingang \bar{R} eines vierten D-Typ-Flip-Flops 58 angeschlossen, dessen Takteingang C so geschaltet ist, daß er den Ausgang des Inverteres 54 über einen anderen Inverter 60 empfängt, so daß das Flip-Flop 58 durch eine ansteigende Flanke des Nicht-invertierten frequenzgeteilten Ausgangssignals des Frequenzteilers 32 gesetzt wird. Ein \bar{Q} -Ausgang des Flip-Flops 58 ist an einen Rücksetz-Eingang \bar{R} des Flip-Flops 56 angeschlossen, so daß in dem Moment, in welchem das Flip-Flop 58 durch eine ansteigende Flanke des Nicht-invertierten frequenzgeteilten Ausgangssingals des Frequenzteilers 32 gesetzt ist, das Flip-Flop 56 durch den \bar{Q} -Ausgang des Flip-Flops 58 rückgesetzt wird, und daher sofort nachdem der Q-Ausgang des Flip-Flops 56 auf einen niederen Pegel gebracht worden ist, und somit der Ausgang des Flip-Flops 58 ebenfalls auf einen niederen Pegel gebracht wird. Somit bilden die Flip-Flops 56 und 58 einen Flankendetektor, der an der abfallenden Flanke des Frequenzteileres 32 gesetzt und an

der ansteigenden Flanke des Frequenzteilers 32 rückgesetzt wird.

Der Q-Ausgang des Flip-Flops 50 bildet ein Auf-Signal des Phasendetektors 36 und der Q-Ausgang des Flip-Flops 56 bildet ein Ab-Signal des Phasendetektors 36.

Die Ladungspumpe 38 hat einen p-Kanal-MOSFET 72 und einen n-Kanal-MOSFET 74, die in Reihe zwischen dem positiven Spannungsversorgungsanschluß 70 und einem negativen Spannungsversorgungsanschluß 56 geschaltet sind. Der p-Kanal-MOSFET 72 ist nämlich an seiner Source mit dem positiven Spannungsversorgungsanschluß 70 und an seinem Drain mit einem Drain des n-Kanal-MOSFET 74 und an einen Ausgangsanschluß 78 angeschlossen. Eine Source des n-Kanal-MOSFET 74 ist an den negativen Spannungsversorgungsanschluß 76 angeschlossen. Demgemäß hat die Ladungspumpe die Form einer CMOS-Schaltung. Daher ist der Q-Ausgang des Flip-Flops 50 über einen Inverter 62 an ein Gate des p-Kanal-MOSFET 72 angeschlossen, und der Q-Ausgang des Flip-Flops 56 ist direkt an ein Gate des n-Kanal-MOSFET 74 angeschlossen.

Die vorstehend erwähnte Schaltung hat die Phasendetektions-Charakteristika, wie sie in der Fig. 5 gezeigt sind, in welcher die Ausgangsspannung eine gemittelte oder integrierte Spannung an dem Ausgangsanschluß 78 angibt.

Nun wird eine Arbeitsweise der in der Fig. 3 und 4 gezeigten Schaltung anhand eines in der Fig. 6 gezeigten Zeitplanes erläutert.

Wie in der Fig. 6 gezeigt, steigt an der Anstiegsflanke eines Eingangsdatensignals, das über einen Eingangsanschluß 34 zugeführt wird, der Q-Ausgang des Flip-Flops 50 von einem niederen Pegel auf einen hohen Pegel, und der Q-Ausgang fällt dann nach unten an einer abfallenden Flanke des Aus-

gangssignals des Frequenzteilzers 32, nämlich an einer ansteigenden Flanke des Oszillationssignals, das zuerst an dem gesteuerten Oszillator 30, nachdem das Flip-Flop 50 gesetzt worden ist, ausgegeben wird. An der gleichen ansteigenden Flanke des Oszillationssignals, das zuerst an den gesteuerten Oszillator 30 ausgegeben wird, nachdem das Flip-Flop 50 gesetzt worden ist, steigt das Signal am Q-Ausgang des Flip-Flops 56 auf einen hohen Pegel, und dieses Signal am Q-Ausgang fällt dann an einer ansteigenden Flanke des Ausgangssignals des Frequenzteilzers 32, nämlich einer ansteigenden Flanke eines Oszillationssignales, das als nächstes nach dem Oszillationssignal, welches zuerst an dem gesteuerten Oszillator 30 nach dem das Flip-Flop 50 gesetzt worden ist, ausgegeben worden ist. Daher arbeitet die Ladungspumpe 38 so, daß ihr Anschluß 78 auf einen logisch hohen Pegel gebracht wird, und zwar nur für eine Zeitspanne, in welcher der Q-Ausgang des Flip-Flops 50 auf dem logisch hohen Pegel ist, und auf einen logisch niederen Pegel, nur für eine Zeitspanne, in welcher der Q-Ausgang des Flip-Flops 56 auf einem logisch hohen Pegel ist. In der anderen Zeitspanne, hält die Ladungspumpe ihren Ausgangsanschluß 78 auf einem hohen Impedanzzustand, das heißt, in einem schwappenden Zustand. Daher arbeitet der gesteuerte Oszillator 30 so, daß die Oszillationsfrequenz so geändert wird, daß eine Hochpegelzeitspanne des Ausgangsanschlusses 78 in Übereinstimmung gebracht ist mit einer Niederpegelzeitspanne des Ausgangsanschlusses 78.

Wenn spezifisch das in der Fig. 6 gezeigte Beispiel betrachtet wird, sind erste und zweite Eingangsdatensignale in einem Zustand genau in Phase, in welchem keine Phasendifferenz vorhanden ist. Die ersten und zweiten Eingangsdatensignale haben nämlich ihre Anstiegsflanken in Übereinstimmung mit einer ansteigenden Flanke des entsprechenden Oszillationssignals des gesteuerten Oszillators 30. In diesem Fall hält die Ladungspumpe 38 ihren Ausgangsanschluß 78

im schwebenden Zustand, mit dem Ergebnis, daß der gesteuerte Oszillator 30 seine Oszillationsfrequenz hält.

Ein drittes Eingangsdatensignal ist phasenverzögert, wie dies in der Fig. 6 gezeigt ist. In diesem Fall ist die Hochpegelzeitspanne des Q-Ausgangs des Flip-Flops 50 länger als jene des Q-Ausgangs des Flip-Flops 56, und zwar um eine Zeitspanne entsprechend einer Verzögerungszeit, und daher ist die gemittelte Spannung des Ausgangsanschlusses der Ladungspumpe 38 entsprechend erhöht. Daher wird das Oszillationssignal des gesteuerten Oszillators 30 in Phase vorgurkt, so daß das Oszillationssignal so eingestellt wird, daß es mit dem Eingangsdatensignal in Phase ist.

Vierte und fünfte Datensignale andererseits sind der Phase voreilend. In diesem Fall ist daher die Hochpegel-Zeitspanne des Q-Ausgangs des Flip-Flops 50 kürzer als die des Q-Ausgangs des Flip-Flops 56 und zwar um eine Zeitspanne entsprechend einer Verzögerungszeit, und daher ist die gemittelte Spannung des Ausgangsanschlusses der Ladungspumpe 38 entsprechend gesenkt. Daher wird das Oszillationssignal des gesteuerten Oszillators 30 in Phase verzögert, so daß das Oszillationssignal so eingestellt wird, daß es mit dem Eingangsdatensignal in Phase ist.

Dem Phasendetektor 36 eigen ist eine Periodizität von 2π , wie dies in den Phasendetektions-Charakteristika gemäß Fig. 5 gezeigt ist. Daher ist, um zu verhindern, daß die Oszillationsfrequenz irrtümlicherweise mit einer Frequenz gesteuert wird, die durch eine Periode definiert ist, welche durch Multiplizieren oder Teilen der Eingangsdaten-Transferperiode T_0 mit einer ganzen Zahl erhalten worden ist, die Oszillationsfrequenz f_{osc} des gesteuerten Oszillators 30 wie folgt eingestellt:

$$(1) \quad 1/(2T_0) < (1/N)f_{osc} < 2/T_0$$

wobei N das Frequenzteilungsverhältnis des Frequenzteilers ist.

Für diesen Zweck, kann wie in der Fig. 7 gezeigt ist, eine Spannungs-Strom-Umwandlungsschaltung kombiniert werden mit einem stromgesteuerten Oszillatator, wie er in der japanischen offengelegten Patentanmeldung Sho 61/244115 am 30. Oktober 1986 veröffentlicht worden ist. Die gezeigte Schaltung hat einen Operationsverstärker 80, mit einem nicht-invertierten Eingang, der an $V_{DD}/(1/2)$ einer Spannung V_{DD} an dem positiven Spannungsversorgungsanschluß 70 angeschlossen ist. Ein Ausgang des Operationsverstärkers 80 ist an ein Gate eines p-Kanal-MOSFET Q10 angeschlossen, das mit einem Gegen-Gate an eine Source des MOSFET Q10 selbst angeschlossen ist. Die Source des MOSFET Q10 ist ebenfalls an einen invertierten Eingang des Operationsverstärkers 80 angeschlossen und über einen Widerstand R0 an den positiven Spannungsversorgungsanschluß 70 angeschlossen. Weiterhin ist die Source des MOSFET Q10 ebenfalls über einen Widerstand R1 an einen Eingangsanschluß 82 des gesteuerten Oszillators 30 angeschlossen. Ein Drain des MOSFET Q10 ist an einen negativen Spannungsversorgungsanschluß 76 angeschlossen (0V) und zwar über einen n-Kanal-MOSFET Q12, der mit einem Gate an einen Drain des MOSFET Q12 selbst angeschlossen ist. Mit der vorstehend erwähnten Anordnung bilden der Operationsverstärker 80 und der MOSFET Q10 einen Spannungsfolger, der die Source des MOSFET Q10 auf $V_{DD}/2$ hält.

Der Drain des MOSFET Q12 ist an ein Gate jedes des Paares der n-Kanal-MOSFETs Q14 und Q16 angeschlossen, so daß eine Stromspiegelschaltung gebildet ist. Die Sourcen der MOSFETs Q14 und Q16 sind an den negativen Spannungsversorgungsanschluß 76 angeschlossen, und ein Drain des MOSFET Q14 ist an einen Drain eines p-Kanal-MOSFET Q18 angeschlossen, dessen Gate an den Drain des MOSFET Q18 selbst angeschlossen ist, und an ein Gate eines p-Kanal-MOSFET Q20 angeschlossen.

sen. Die Sourcen der MOSFETs Q18 und Q20 sind an den positiven Spannungsversorgungsanschluß 70 angeschlossen. Ein Drain des MOSFET Q20 ist an eine Source eines p-Kanal-MOSFET Q22 angeschlossen, dessen Drain an einen Drain eines n-Kanal-MOSFET Q24 angeschlossen ist, dessen Source an einen Drain des MOSFET Q16 angeschlossen ist. Ein Verbindungsknoten zwischen den MOSFETs Q22 und Q24 ist an einen Eingang einer Schmitt-Triggerschaltung 84 angeschlossen, die mit einem Ausgang an einen Oszillationsausgangsanschluß 86 und ein Gate jedes der MOSFETs Q22 und Q24 angeschlossen ist. Zusätzlich ist ein Kondensator Co zwischen dem negativen Spannungsversorgungsanschluß und dem Verbindungsknoten zwischen den MOSFETs Q22 und Q24 geschaltet.

Bei der vorstehend beschriebenen Schaltung wird davon ausgegangen, daß das Eingangsspannungssignal, welches an dem Eingangsanschluß 82 eingegeben wird, V_{in} ist, so daß durch den MOSFET Q10 ein Strom I fließt, der wie folgt ausgedrückt ist:

$$I = V_{DD}/(2R0) - (1/R1)(V_{DD}/2 - V_{in})$$

Der Strom I wird durch die Stromspiegelschaltung, die aus dem MOSFETs Q12 und Q14 gebildet ist, an den stromgesteuerten Oszillator gegeben.

In der vorstehend beschriebenen Schaltung kann die Bedingung (1) erfüllt werden, indem die Werte der Widerstände R_0 und R_1 so eingestellt werden, daß sie die folgende Bedingung erfüllen:

$$R_1 > 2R_0$$

$$T_0 = 1/(N \cdot f_{osc})$$

$$f_{osc} = V_{DD}/(V_{SH} - V_{SL}) \cdot 4 \cdot C_0 R_0$$

wobei V_{SH} und V_{SL} die Maximum- und Minimum-Spannungen der Hysteresespannung der Schmitt-Triggerschaltung 84 sind, und C_0 die Kapazität des Kondensators C_0 ist.

Es wird auf Fig. 8 Bezug genommen, die eine andere Ausführungsform des Phasendetektors 36 zeigt. Der gezeigte Phasendetektor hat einen ersten Entzerrkreis 100 mit einem NAND-Gate 102, das mit einem ersten Eingang so geschaltet ist, daß es direkt über den Eingangsanschluß 34 das Eingangssignal empfängt. Ein zweiter Eingang des NAND-Gates 102 ist über eine Verzögerungsschaltung, zusammengesetzt aus einem Inverter 104 und einem Kondensator 106, an den Eingangsanschluß 34 angeschlossen. Somit wird das Eingangssignal, welches über den Eingangsanschluß 34 zugeführt worden ist, so geformt, daß es einen Impuls hat, der eine Impulsbreite entsprechend einer Verzögerungszeit hat, die durch die Verzögerungsschaltung gegeben ist, welche aus dem Inverter 104 und dem Kondensator 106 zusammengesetzt ist. Der geformte Impuls wird an einem Setz-Eingang eines Rücksetz-Setz-Flip-Flops 110 eingegeben, das aus einem Paar NAND-Gates 112 und 114 gebildet ist, die in bekannter Art und Weise geschaltet sind. Das frequenzgeteilte Signal vom Frequenzteiler 32 wird über einen zweiten Entzerrkreis 120 an einen Rücksetz-Eingang des Flip-Flops 110 geleitet. Der zweite Entzerrkreis 120 hat ein NAND-Gate 122, dessen erster Eingang so geschaltet ist, daß er das frequenzgeteilte Signal über einen Inverter 124 empfängt. Ein zweiter Eingang des NAND-Gates 122 ist an einen Ausgang des Inverters 124 angeschlossen, und zwar über eine Verzögerungsschaltung, die aus einem Inverter 126 und einem Kondensator 128 besteht. Ein \bar{Q} -Ausgang des Flip-Flops 110 ist an das Gate des MOSFET 72 der Ladungspumpe 38 angeschlossen.

Ein Q -Ausgang des Flip-Flops 110 ist an einen dritten Entzerrkreis 130 angeschlossen, der ein NAND-Gate 132 aufweist, das einen ersten Eingang so geschaltet hat, daß es direkt den Q -Ausgang des Flip-Flops 110 empfängt. Ein zweiter Eingang des NAND-Gates 132 ist an den Q -Ausgang des Flip-Flops 110 über eine Verzögerungsschaltung, bestehend aus einem Inverter 134 und einem Kondensator 136, ange-

schlossen. Der geformte Impuls, der am NAND-Gate 132 ausgegeben wird, wird an einem Setz-Eingang eines anderen Rücksetz-Setz-Flip-Flops 140 eingegeben, das aus einem Paar NAND-Gates 142 und 144 zusammengesetzt ist, die in einer bekannten Art und Weise geschaltet sind. Weiterhin wird das frequenzgeteilte Signal vom Frequenzteiler 32 über einen vierten Entzerrkreis 150 an einen Rücksetz-Eingang des Flip-Flops 140 angelegt. Der vierte Entzerrkreis 150 hat ein NAND-Gate 152, das mit einem ersten Eingang so geschaltet ist, daß dieser das Eingangssignal über den Einganganschluß 34 empfängt. Ein zweiter Eingang des NAND-Gates 152 ist an den Einganganschluß 34 über eine Verzögerungsschaltung, bestehend aus einem Inverter 156 und einem Kondensator 158 angeschlossen. Ein \bar{Q} -Ausgang des Flip-Flops 140 ist an einen ersten Eingang eines NOR-Gates 160 angeschlossen, das mit einem zweiten Eingang an den Einganganschluß 34 angeschlossen ist, um das Eingangssignal zu empfangen. Ein Ausgang des NOR-Gates 160 ist an das Gate des MOSFET 74 der Ladungspumpe 38 angeschlossen.

Bei dem vorstehend beschriebenen Phasendetektor, wie er in der Fig. 8 gezeigt ist, ist bei jedem Eingang jedes Flip-Flops 110 und 140 ein Entzerrkreis vorgesehen. Daher kann eine Fehlfunktion, bedingt durch Rauschen in Form eines Impulses, verhindert werden.

Die Erfindung ist somit anhand der spezifischen Ausführungsformen gezeigt und beschrieben worden. Es ist jedoch anzumerken, daß die vorliegende Erfindung durch die Details der gezeigten Strukturen nicht begrenzt ist, sondern das Änderungen und Modifikationen innerhalb des Schutzzumfanges der Patentansprüche denkbar sind.

Patentansprüche

1. Phasenregelschleifenschaltung mit einem gesteuerten Oszillator (30), der ein Steuersignal empfängt, um ein Oszillationssignal mit einer dem empfangenden Steuersignal entsprechenden Frequenz zu erzeugen, einem Frequenzteiler (32), der das Oszillationssignal empfängt, um ein frequenzgeteiltes Signal mit einer im gegebenen Frequenzteilungsverhältnis geteilten Frequenz zu erzeugen, einer Phasendetektorvorrichtung (36), die ein Eingabesignal und das frequenzgeteilte Signal empfängt, und die enthält: einen ersten Kantendetektor (50,52,110) zur Erzeugung eines ersten Phasendifferenzsignals, wobei der erste Kantendetektor mit der ansteigenden Kante des Eingabesignals gesetzt und mit der abfallenden Kante des frequenzgeteilten Signals des Frequenzteilers (32) zurückgesetzt wird; einem zweiten Kantendetektor (54,56,140) zur Erzeugung eines zweiten Phasendifferenzsignals mit einer konstanten Breite, wobei der zweite Kantendetektor mit der abfallenden Kante des frequenzgeteilten Signals von dem Frequenzteiler (32) gesetzt und mit der nächstfolgenden ansteigenden Kante des frequenzgeteilten Signals, die nach dem Setzen des zweiten Kantendetektors auftritt, zurückgesetzt wird, wobei der zweite Kantendetektor unabhängig vom momentanen Zustand des Eingabesignals gesetzt und zurückgesetzt wird, und wobei die Eingabe ausschließlich dem ersten Kantendetektor (50,52,110) zugeführt wird, und einer Phasenausgabevorrichtung (38,40), die ausschließlich auf das erste Phasendifferenzsignal zum Ändern der Oszillationsfrequenz des gesteuerten Oszillators (30) in eine erste Richtung anspricht ist, und ebenso ausschließlich auf

das zweite Phasendifferenzsignal zum Ändern der Oszillationsfrequenz des gesteuerten Oszillators in eine zweite, entgegengesetzte Richtung anspricht ist.

2. Phasenregelschleifenschaltung nach Anspruch 1, bei der der erste Kandendetektor enthält:

einen ersten D-Typ-Flip-Flop (50) mit einem Dateneingang D, der mit einem positiven Spannungsversorgungsanschluß verbunden ist, und mit einem Takteingang C, der zum Empfang des Eingabesignals verbunden ist, so daß ein Q-Ausgang des ersten Flip-Flops in Antwort auf die ansteigende Kante des Eingabesignals auf einen logisch hohen Pegel gebracht wird, wobei der Q-Ausgang des ersten Flip-Flops das erste Phasendifferenzsignal liefert, und einen zweiten D-Typ-Flip-Flop (52) mit einem Dateneingang D und einem Rücksetzeingang \bar{R} , die mit dem Q-Ausgang des ersten Flip-Flops verbunden sind, wobei das zweite Flip-Flop einen Takteingang C hat, der zum Empfang der Ausgabe des Frequenzteilers über einen ersten Inverter (54) verbunden ist, und einem \bar{Q} -Ausgang, der mit einem Rücksetzeingang \bar{R} des ersten Flip-Flops verbunden ist, so daß das erste Flip-Flop mit der abfallenden Kante des frequenzgeteilten Signals des Frequenzteilers zurückgesetzt wird.

3. Phasenregelschleifenschaltung nach Anspruch 2, bei der der zweite Kandendetektor enthält:

einen dritten D-Typ-Flip-Flop (56) mit einem Dateneingang D, der mit dem Q-Ausgang des ersten Flip-Flops verbunden ist, und einem Takteingang C, der mit dem Ausgang des ersten Inverters (54) verbunden ist, so daß ein Q-Ausgang des dritten Flip-Flops in Antwort auf die ansteigende Kante eines invertierten Signals des frequenzgeteilten Signals des Frequenzteilers in einen logisch hohen Pegel gebracht wird, nachdem der Q-Ausgang des ersten Flip-Flops auf einen hohen

Pegel zurückgebracht wurde, wobei der Q-Ausgang des ersten Flip-Flops das zweite Phasendifferenzsignal ergibt; einen vierten D-Typ-Flip-Flop (58) mit einem Dateneingang D und einem Rücksetzeingang \bar{R} , die mit dem Q-Ausgang des dritten Flip-Flops verbunden sind, wobei das vierte Flip-Flop einen Takteingang C hat, der zum Empfang des Ausgabesignals des ersten Inverters über einen weiteren Inverter (60) verbunden ist, so daß das vierte Flip-Flop durch die ansteigende Kante des frequenzgeteilten Signals des Frequenzteilers gesetzt wird, wobei ein Q-Ausgang des vierten Flip-Flops mit dem Rücksetzeingang \bar{R} des dritten Flip-Flops verbunden ist.

4. Phasenregelschleifenschaltung nach Anspruch 3, wobei die Phasenausgabevorrichtung eine Ladungspumpe (38) enthält, die aus einem p-Kanal-MOSFET (72), dessen Quelle mit dem positiven Spannungsversorgungsanschluß und dessen Senke mit einem Ausgabeanschluß (78) zur Erzeugung des Steuersignals verbunden ist, und aus einem n-Kanal-MOSFET (74), dessen Quelle mit einem negativen Spannungsversorgungsanschluß (76) und dessen Senke mit dem Ausgabeanschluß (78) verbunden ist, zusammengesetzt ist, wobei das Gate des p-Kanal-MOSFET (72) über einen dritten Inverter (62) mit dem Q-Ausgang des ersten Flip-Flops (50) verbunden ist, und das Gate des n-Kanal-MOSFET (74) mit dem Q-Ausgang des dritten Flip-Flops (56) verbunden ist.

5. Phasenregelschleifenschaltung nach Anspruch 1, wobei der erste Kantendetektor enthält:
einen ersten Entzerrkreis (100) mit einem ersten NAND-Gate (102), das einen ersten Eingang hat, der zum direkten Empfang des Eingabesignals verbunden ist, und einen zweiten Eingang hat, der zum Empfang des Eingabesignals über eine erste Verzögerungsschaltung (104,106) verbunden ist, um so einen ersten Impuls mit einer Impulsbreite entsprechend ei-

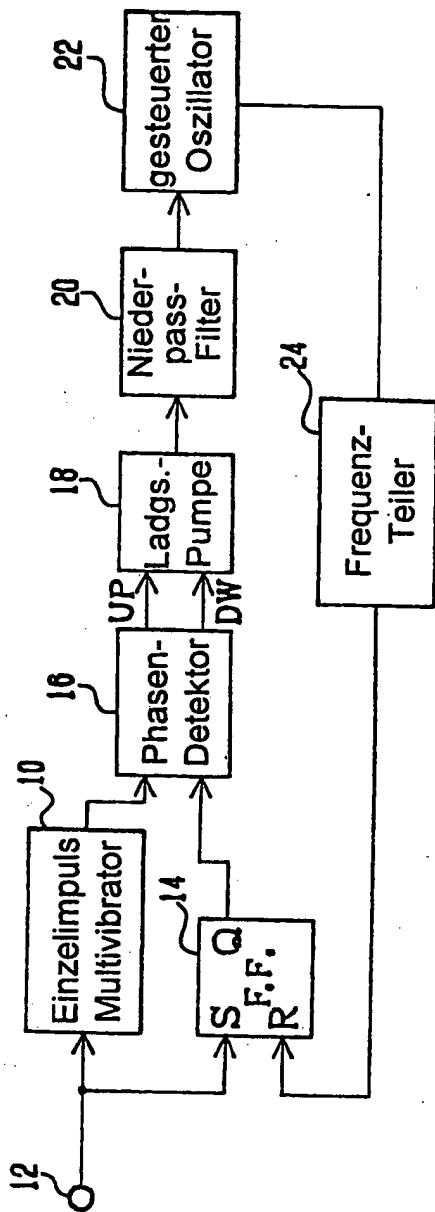
ner durch die erste Verzögerungsschaltung gegebene Verzöge-
rungszeit zu erzeugen;
eine zweite Entzerrschaltung (120) mit einem zweiten NAND-
Gate (122), das einen ersten Eingang hat, der zum Empfang
des frequenzgeteilten Signals über einen Inverter (124)
verbunden ist, und einen zweiten Eingang hat, der zum Emp-
fang einer Ausgabe des Inverters (124) über eine zweite
Verzögerungsschaltung (126,128) verbunden ist, um so einen
zweiten Impuls mit einer Impulsbreite entsprechend der
durch die zweite Verzögerungsschaltung gegebenen Verzöge-
rungszeit zu erzeugen;
einen ersten Rücksetz-Flip-Flop (110) mit einem Setzein-
gang, der zum Empfang des ersten Impulses verbunden ist,
und mit einem Rücksetzeingang, der zum Empfang des zweiten
Impulses verbunden ist, um das erste Phasendifferenzsignal
zu erzeugen.

6. Phasenregelschleifenschaltung nach Anspruch 5, bei der
der zweite Kantenendetektor enthält:
eine dritte Entzerrschaltung (130) mit einem dritten NAND-
Gate (132), das einen ersten Eingang hat, der mit dem Q-
Ausgang des ersten Flip-Flops (110) verbunden ist, und
einen zweiten Eingang hat, der mit dem Q-Ausgang des ersten
Flip-Flops über eine dritte Verzögerungsschaltung (134,136)
verbunden ist, um so einen dritten Impuls mit einer Impuls-
breite entsprechend der durch die dritte Verzögerungsschal-
tung gegebenen Verzögerungszeit zu erzeugen;
eine vierte Entzerrschaltung (150) mit einem vierten NAND-
Gate (152), das einen ersten Eingang hat, der zum Empfang
des frequenzgeteilten Signals verbunden ist, und einen
zweiten Eingang hat, der zum Empfang des frequenzgeteilten
Signals über eine Verzögerungsschaltung (154,156) verbunden
ist, um so einen vierten Impuls mit einer Impulsbreite ent-
sprechend der durch die vierte Verzögerungsschaltung gege-
bene Verzögerungszeit zu erzeugen;

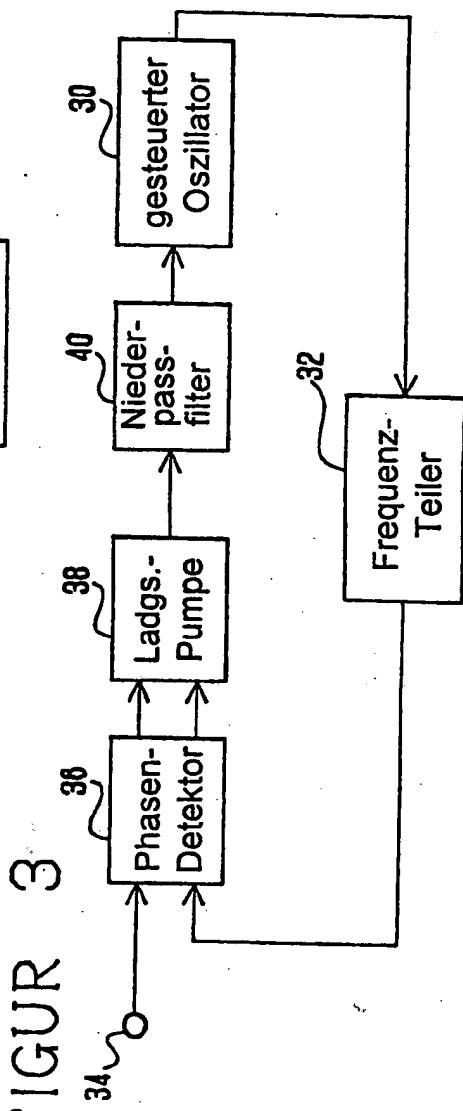
einen zweiten Rücksetz-Flip-Flop (140) mit einem Setzeingang, der zum Empfang des dritten Impulses verbunden ist, und einem Rücksetzeingang, der zum Empfang des vierten Impulses verbunden ist; einem NOR-Gate (160) mit einem ersten Eingang, der mit einem \bar{Q} -Ausgang des zweiten Flip-Flops (140) verbunden ist, und mit einem zweiten Eingang, der zum Empfang des frequenzgeteilten Signals verbunden ist, um das zweite Phasendifferenzsignal zu erzeugen.

7. Phasenregelschleifenschaltung nach Anspruch 6, bei der die Phasenausgabevorrichtung eine Ladungspumpe (38) enthält, die aus einem p-Kanal MOSFET (72), der eine mit dem positiven Spannungsversorgungsanschluß (70) verbundene Quelle und eine mit dem Ausgabeanschluß (78) verbundene Senke zur Erzeugung des Steuersignals hat, und aus einem n-Kanal MOSFET (74), der eine mit einem negativen Spannungsversorgungsanschluß verbundene Quelle und eine mit dem Ausgabeanschluß verbundene Senke hat, zusammengesetzt ist, wobei das Gate des p-Kanal MOSFET (72) mit einem \bar{Q} -Ausgang des ersten Flip-Flops (110) verbunden ist, und wobei ein Gate des n-Kanals MOSFET (74) mit dem Ausgang des NOR-Gates (160) verbunden ist.

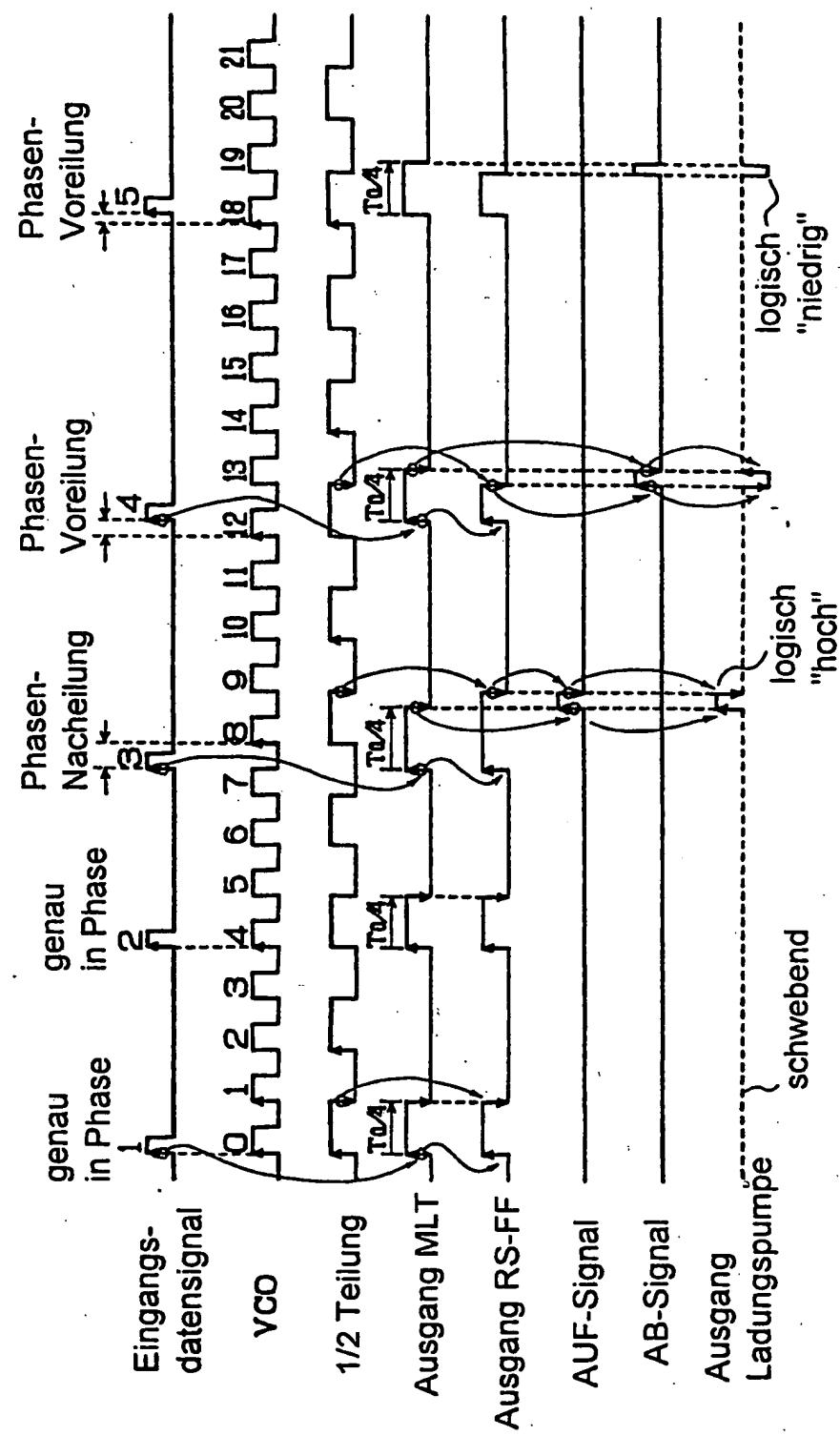
FIGUR 1



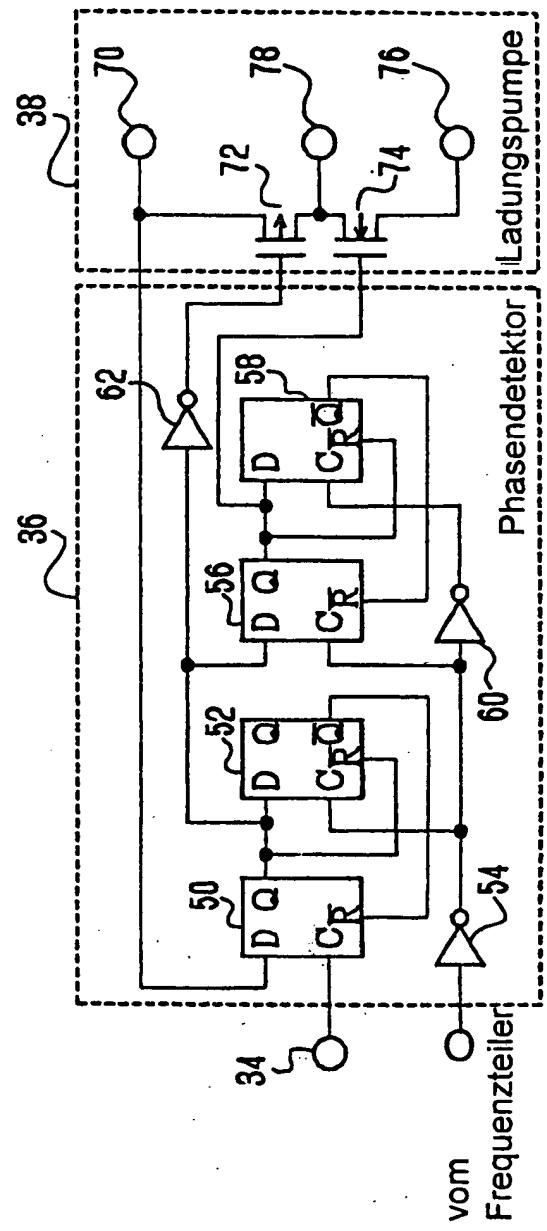
FIGUR 3



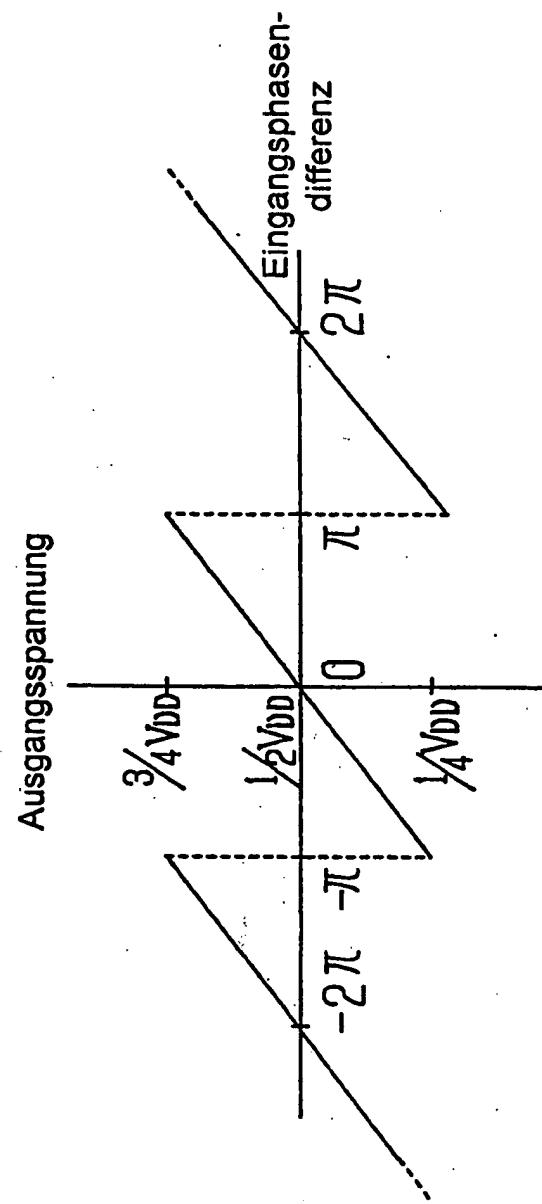
FIGUR 2



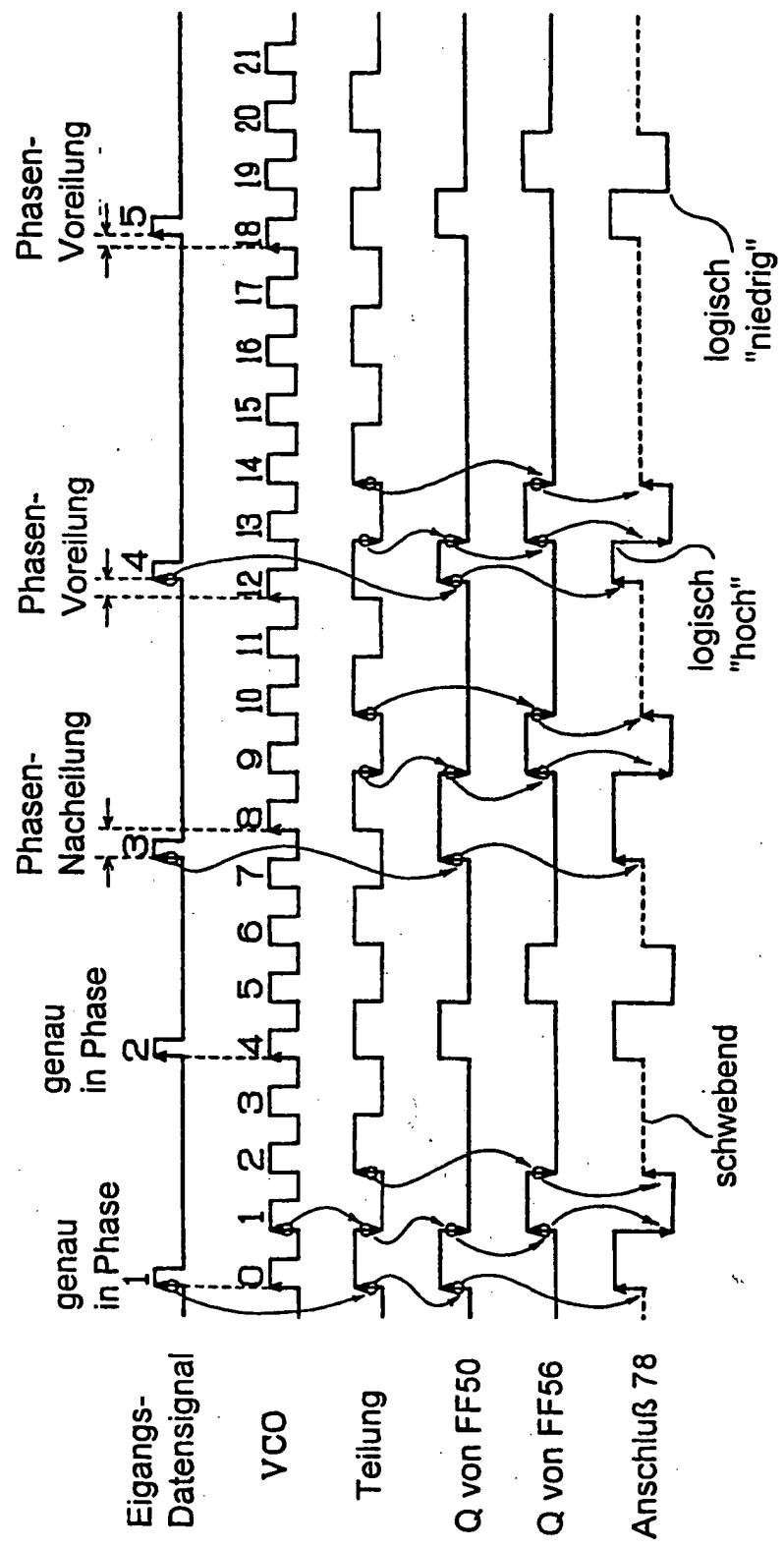
FIGUR 4



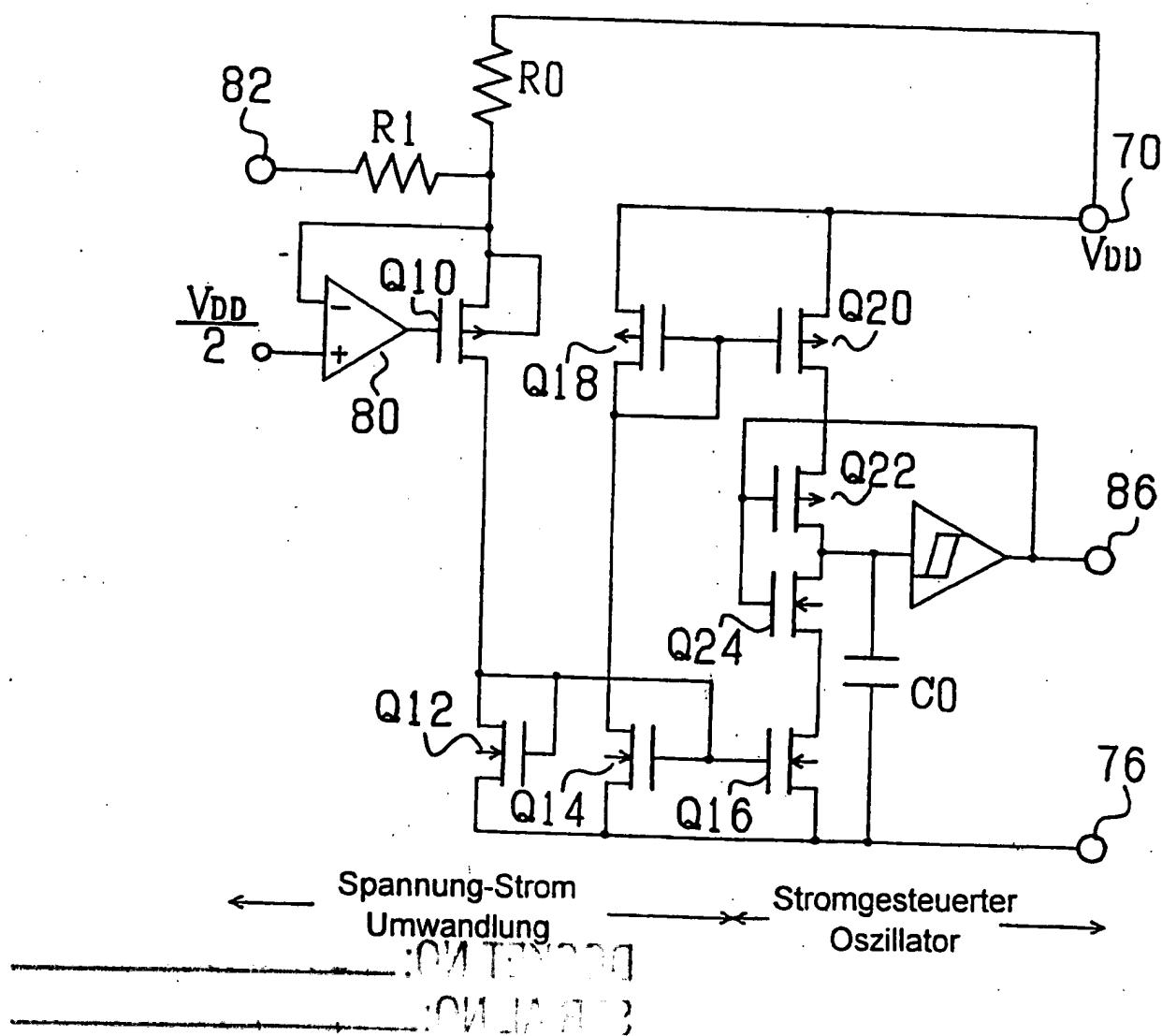
FIGUR 5



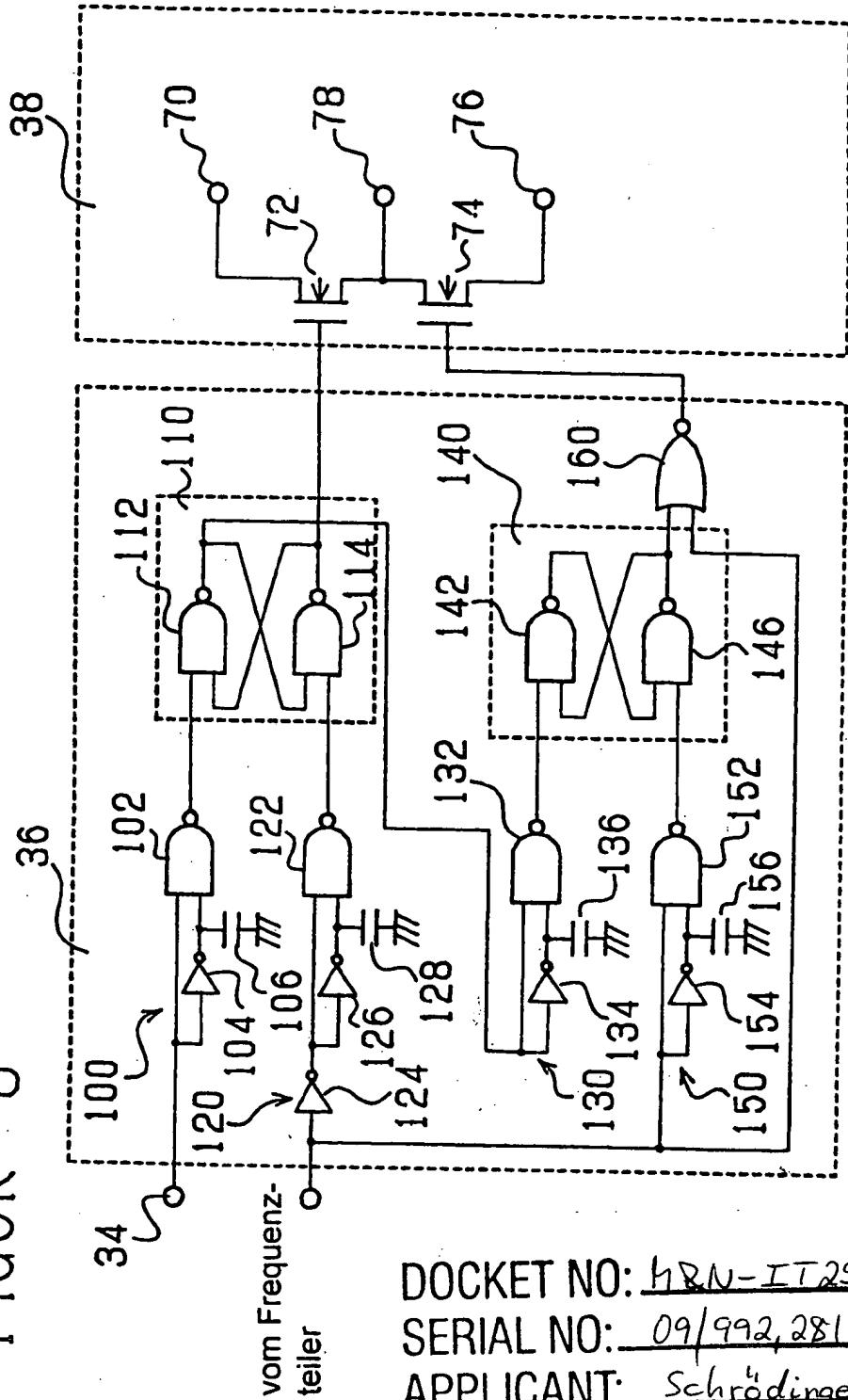
FIGUR 6



FIGUR 7



FIGUR 8

DOCKET NO: 48N-IT255SERIAL NO: 09/992,281APPLICANT: Schrödinger

LERNER AND GREENBERG P.A.

P.O. BOX 2480

HOLLYWOOD, FLORIDA 33022

TEL. (954) 925-1100